Corrigé de la Série de TD N° 5

Table de vecteurs d'interruptions

10 H	00000
20 H	00001
11 H	00002
14 H	00003
55 H	00004
62 H	00005
85 H	00006
45 H	00007
75 H	00008
45 H	00009
45 H	0000A
47 H	0000B
86 H	**0000C**
74 H	**0000D**
62 H	**0000E**
25 H	**0000F**
98 H	00010
45 H	00011
14 H	00012
72 H	00013

Corrigé de l'exercice 01 :

L'adresse du vecteur d'interruption dans la table de vecteur d'interruption est donnée par l'expression :

Adrs_tab_vec = code_int x 4

Adrs_tab_vec = 3 x 4 = 12 = 0000CH

Les valeurs du registre IP et du registre CS seront chargées à partir du 3ème vecteur de la table, IP = 7486H, CS =2562H

L'adresse du sous-programme d'interruption (appelé en anglais : interrupt service routine) est donnée par l'expression :

Adr_ISR = CS x 10H + IP

Adr_ISR = 25620H + 7486H = **2CAA6H**

ISR : est utilisé pour désigner 'Interrupt Service Routine'

Corrigé de l'exercice 02 :

1. **Vrai**
2. **Faux,** Le nombre des interruptions autorisées par le 8086 est 256.
3. **Faux.**
4. **Faux,** Le 8086 répond au signal INTR seulement si Interrupt Flag du registre d'état est mise à 1 (IF = 1).
5. **Faux,**
6. **Vrai**

Corrigé de l'exercice 03 :

1. Le 8086 autorise un périphérique demandeur d'interruption par le signal **INTA (Interrupt Acknowledge)**
2. Le 8086 interdit les interruptions masquables en positionnant l'indicateur (interrupt flag) **IF à 0.**
3. L'instruction utilisée pour annoncer la fin de sous-programme d'interruption est l'instruction **IRET.**
4. Le programme utilisateur **sauvegarde** le contenu du **registre d'état**, du registre **CS** et du registre **IP** avant de répondre au sous-programme d'interruption.

Corrigé de l'exercice 04 :

```
Sous_prog_int
PUSH AX
PUSH BX        Sauvegarde du contexte
PUSH CX
PUSH DX

Instr 1…
Instr 2…       Instructions du sous-programme d'interruption
               :
InstrN…

POP DX
POP CX
POP BX         Restitution du contexte
POP AX
IRET; return from interrupt
```